

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY**

**As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.**

**This Page Blank (uspto)**


 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation <sup>6</sup> : <b>H01L 23/13, 23/498</b>	<b>A1</b>	(11) Internationale Veröffentlichungsnummer: <b>WO 96/09646</b> (43) Internationales Veröffentlichungsdatum: <b>28. März 1996 (28.03.96)</b>
(21) Internationales Aktenzeichen: <b>PCT/EP95/03763</b> (22) Internationales Anmeldedatum: <b>22. September 1995 (22.09.95)</b> (30) Prioritätsdaten: <b>P 44 34 086.9 23. September 1994 (23.09.94) DE</b> (71) Anmelder (für alle Bestimmungsstaaten ausser US): <b>SIEMENS N.V. [BE/BE]; Charleroisesteenweg 116, B-1060 Bruxelles (BE). INTERUNIVERSITAIR MICRO-ELECTRONICA CENTRUM VZW [BE/BE]; Kapeldreef 75, B-3001 Leuven Brabant (BE).</b> (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): <b>HEERMAN, Marcel [BE/BE]; Azaleastrasse 6, B-9200 Merelbeke (BE). WILLE, Joost [BE/BE]; Rietmeers 30, B-8210 Loppem (BE). VAN PUymbroeck, Jozef [BE/BE]; Korenbloemstraat 17, B-8020 Oostkamp (BE). ROGGEN, Jean [BE/BE]; Klaproosstraat 10, B-3560 Lummen (BE). BEYNE, Eric [BE/BE]; Rotspoelstraat 15, B-3001 Leuven (BE). VAN HOOFF, Rita [BE/BE]; Rijkenhoekstraat 28, B-3191 Boortmeerbeek (BE).</b>		(74) Anwalt: <b>FUCHS, Franz-Josef; Postfach 22 13 17, D-80503 München (DE).</b> (81) Bestimmungsstaaten: <b>JP, KR, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</b> Veröffentlicht <i>Mit internationalem Recherchenbericht.          Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>
(54) Title: <b>POLYMER STUD GRID ARRAY</b> (54) Bezeichnung: <b>POLYMER STUD GRID ARRAY</b> (57) Abstract <p>The new structure comprises: an injection moulded three-dimensional substrate (S) made from an electrically insulating polymer; two-dimensionally configured polymer bumps (PS) formed during the injection-moulding process on the underside of the substrate (S); external connections (AA) formed on the polymer bumps (PS) by solderable end surfaces; conducting paths (LZ) at least on the underside of the substrate (S) to connect the external connections (AA) to inner connections (IA1); and at least one chip (C1) mounted on the substrate (S) with connections (CA1) which are electro-conductively linked to the inner connections. The novel structure, which is suitable for single-, few- or multi-chip modules, combines the advantages of a Ball Grid Array with those of MID (Moulded Interconnection Devices) technology, and the manufacture and metallization of the polymer bumps (PS) can be done within the framework of the process steps needed for MID technology and at minimal additional cost.</p>		

**(57) Zusammenfassung**

Die neue Bauform umfaßt ein spritzgegossenes, dreidimensionales Substrat (S) aus einem elektrisch isolierenden Polymer, auf der Unterseite des Substrats (S) flächig angeordnete und beim Spritzgießen mitgeformte Polymerhöcker (PS), auf den Polymerhöckern (PS) durch eine lötbare Endoberfläche gebildete Außenanschlüsse (AA), zumindest auf der Unterseite des Substrats (S) ausgebildete Leiterzüge (LZ), die die Außenanschlüsse (AA) mit Innenanschlüssen (IA1) verbinden, und mindestens einen auf dem Substrat (S) angeordneten Chip (C1), dessen Anschlüsse (CA1) mit den Innenanschlüssen elektrisch leitend verbunden sind. Die neue für Single-, Few- oder Multi-Chip-Module geeignete Bauform vereinigt die Vorteile eines Ball Grid Arrays mit den Vorteilen der MID Technologie (Moulded Interconnection Devices). Die Herstellung und Metallisierung der Polymerhöcker (PS) kann dabei im Rahmen der bei der MID Technologie ohnehin erforderlichen Verfahrensschritte mit einem minimalen zusätzlichen Aufwand vorgenommen werden.

**LEDIGLICH ZUR INFORMATION**

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	GA	Gabon	MR	Mauritanien
AU	Australien	GB	Vereinigtes Königreich	MW	Malawi
BB	Barbados	GE	Georgien	NE	Niger
BE	Belgien	GN	Guinea	NL	Niederlande
BF	Burkina Faso	GR	Griechenland	NO	Norwegen
BG	Bulgarien	HU	Ungarn	NZ	Neuseeland
BJ	Benin	IE	Irland	PL	Polen
BR	Brasilien	IT	Italien	PT	Portugal
BY	Belarus	JP	Japan	RO	Rumänien
CA	Kanada	KE	Kenya	RU	Russische Föderation
CF	Zentrale Afrikanische Republik	KG	Kirgisistan	SD	Sudan
CG	Kongo	KP	Demokratische Volksrepublik Korea	SE	Schweden
CH	Schweiz	KR	Republik Korea	SI	Slowenien
CI	Côte d'Ivoire	KZ	Kasachstan	SK	Slowakei
CM	Kamerun	LI	Liechtenstein	SN	Senegal
CN	China	LK	Sri Lanka	TD	Tschad
CS	Tschechoslowakei	LU	Luxemburg	TG	Togo
CZ	Tschechische Republik	LV	Lettland	TJ	Tadschikistan
DE	Deutschland	MC	Monaco	TT	Trinidad und Tobago
DK	Dänemark	MD	Republik Moldau	UA	Ukraine
ES	Spanien	MG	Madagaskar	US	Vereinigte Staaten von Amerika
FI	Finnland	ML	Mali	UZ	Usbekistan
FR	Frankreich	MN	Mongolei	VN	Vietnam

## Beschreibung

### Polymer Stud Grid Array

- 5 Integrierte Schaltkreise bekommen immer höhere Anschlußzahlen und werden dabei immer weiter miniaturisiert. Die bei dieser zunehmenden Miniaturisierung erwarteten Schwierigkeiten mit Lotpastenauftrag und Bestückung, sollen durch neue Gehäuse-
- 10 oder Multi-Chip-Module im Ball Grid Array Package hervorzuhoben sind (DE-Z productronic 5, 1994, Seiten 54, 55). Diese Module basieren auf einem durchkontaktierten Substrat, auf welchem die Chips beispielsweise über Kontaktierdrähte oder mittels Flipchip-Montage kontaktiert sind. An der Unterseite
- 15 des Substrats befindet sich das Ball Grid Array (BGA), das häufig auch als Solder Grid Array, Land Grid Array oder Solder Bump Array, bezeichnet wird. Das Ball Grid Array umfaßt auf der Unterseite des Substrats flächig angeordnete Lot-
- 20 höhöcker, die eine Oberflächenmontage auf den Leiterplatten oder Baugruppen ermöglichen. Durch die flächige Anordnung der Lothöcker, können hohe Anschlußzahlen in einem groben Raster von beispielsweise 1,27 mm realisiert werden.
- 25 Bei der sogenannten MID Technologie (MID = Moulded Interconnection Devices), werden anstelle konventioneller gedruckter Schaltungen Spritzgießteile mit integrierten Leiterzügen verwendet. Hochwertige Thermoplaste, die sich zum Spritzgießen von dreidimensionalen Substraten eignen, sind die Basis dieser Technologie. Derartige Thermoplaste zeichnen sich gegen-
- 30 über herkömmlichen Substratmaterialien für gedruckte Schaltungen durch bessere mechanische, thermische, chemische, elektrische und umwelttechnische Eigenschaften aus. Bei einer speziellen Richtung der MID Technologie, der sogenannten SIL-Technik (SIL = Spritzgießteile mit integrierten Leiterzügen),
- 35 erfolgt die Strukturierung einer auf die Spritzgießteile aufgetragenen Metallschicht unter Verzicht auf die sonst übliche Maskentechnik durch ein spezielles Laserstrukturierungsver-

fahren. In die dreidimensionalen Spritzgießteile mit strukturierter Metallisierung sind dabei mehrere mechanische und elektrische Funktionen integrierbar. Die Gehäuseträgerfunktion übernimmt gleichzeitig Führungen und Schnappverbindungen, während die Metallisierungsschicht neben der Verdrahtungs- und Verbindungsfunktion auch als elektromagnetische Abschirmung dient und für eine gute Wärmeabfuhr sorgt. Weitere Einzelheiten zur Herstellung von dreidimensionalen Spritzgießteilen mit integrierten Leiterzügen, gehen beispielsweise aus der DE-A-37 32 249 oder der EP-A-0 361 192 hervor.

Aus der US-A-5 081 520 ist ein Verfahren zum Befestigen von IC-Chips auf Substraten bekannt, bei welchem die Substrate als Spritzgießteile mit integrierten Höckern für die Befestigung der IC-Chips hergestellt werden. Nach dem Metallisieren der Höcker wird eine Verbindungsschicht aufgebracht, so daß die IC-Chips auf den Substraten befestigt werden können, wobei die Chip-Anschlußflächen mit den zugeordneten Metallisierungen der Höcker elektrisch leitend verbunden werden.

20

Der im Anspruch 1 angegebenen Erfindung liegt das Problem zugrunde, eine neue Bauform für Single-, Few- oder Multi-Chip-Module zu schaffen, welche die Vorteile der MID Technologie aufweist und eine flächige Anordnung der Außenanschlüsse, wie beim Ball Grid Array ermöglicht.

25

Die erfindungsgemäße Bauform ist in Anlehnung an das Ball Grid Array (BGA) als Polymer Stud Grid Array (PSGA) bezeichnet, wobei der Begriff "Polymer Stud" auf die beim Spritzgießen des Substrats mitgeformten Polymerhöcker hinweisen soll. Neben der einfachen und kostengünstigen Herstellung der Polymerhöcker beim Spritzgießen des Substrats, kann auch die Herstellung der Außenanschlüsse auf den Polymerhöckern mit minimalen Aufwand zusammen mit der bei der MID Technologie bzw. der SIL-Technik üblichen Herstellung der Leiterzüge vorgenommen werden. Durch die bei der SIL-Technik bevorzugte Laserfeinstrukturierung, können die Außenanschlüsse auf den

35

Polymerhöckern mit hohen Anschlußzahlen in einem sehr feinen Raster realisiert werden. Hervorzuheben ist ferner, daß die Temperaturausdehnung der Polymerhöcker den Temperaturausdehnungen des Substrats und der das Modul aufnehmenden Leiterplatte entspricht. Sollten mechanische Spannungen auftreten, so ermöglichen die Polymerhöcker durch ihre elastischen Eigenschaften zumindest einen teilweisen Ausgleich. Durch die Formstabilität der auf den Polymerhöckern gebildeten Außenanschlüsse, kann auch die Sicherheit bei Reparatur und Austausch gegenüber den Ball Grid Arrays mit ihren durch Lot-  
höcker gebildeten Außenanschlüssen erheblich gesteigert werden.

Vorteilhafte Ausgestaltungen der Erfindung sind in den Unter-  
ansprüchen angegeben.

Die Ausgestaltung nach Anspruch 2 ermöglicht eine versunkene Montage der Chips in Mulden der spritzgegossenen Substrate, wodurch eine extrem geringe Dicke der resultierenden Single-, Few- oder Multi-Chip-Module realisiert werden kann. Die versunkene Montage ermöglicht außerdem einen optimalen Schutz der Chips, sowie eine einfache und hermetisch dichte Verkap-  
selung.

Die Weiterbildung nach Anspruch 3 ermöglicht eine Kontaktierung der Chips in der bewährten Drahtbond-Technik. Gemäß Anspruch 4 kann die Anbringung der Kontaktierdrähte durch die Anordnung der Innenanschlüsse auf einer Stufe der Mulde erleichtert werden.

Gemäß Anspruch 5 kann für die Kontaktierung der Chips auch die Flipchip-Technik mit Erfolg eingesetzt werden.

Bei der Flipchip-Kontaktierung können gemäß Anspruch 6 zur Direktverbindung der Chipanschlüsse mit den zugeordneten Innenanschlüssen die Chipanschlüsse als schmelzfähige Höcker ausgebildet sein.

Gemäß Anspruch 7 können bei der Flipchip-Kontaktierung aber auch die Innenanschlüsse durch beim Spritzgießen des Substrats mitgeformte und mit einer lötbare Endoberfläche  
5 versehene Polymerhöcker gebildet sein. Hierdurch können einerseits normale Chips ohne schmelzfähige Höcker verwendet werden, während andererseits die Herstellung und Metallisierung der Polymerhöcker bei der MID Technologie praktisch ohne zusätzlichen Aufwand durchgeführt werden kann. Die Polymer-  
10 höcker haben zusätzlich den Vorteil, daß sie einen elastischen Ausgleich zwischen unterschiedlichen Ausdehnungsverhalten von Substrat und Chip erlauben.

Ausführungsbeispiele der Erfindung sind in der Zeichnung dargestellt und werden im folgenden näher beschrieben.  
15

Es zeigen

20 Figur 1 einen Schnitt durch ein Polymer Stud Grid Array mit einem in Drahtbond-Technik kontaktierten Chip,

Figur 2 einen Schnitt durch ein Polymer Stud Grid Array mit einem gemäß einer ersten Ausführungsform in Flipchip-Technik kontaktierten Chip,  
25

Figur 3 einen Schnitt durch ein Polymer Stud Grid Array mit einem gemäß einer zweiten Ausführungsform in Flipchip-Technik kontaktierten Chip,

30 Figur 4 einen Schnitt durch das Substrat des in Figur 1 dargestellten Polymer Stud Grid Arrays mit einer Draufsicht auf Außenanschlüsse, Leiterzüge und Innenanschlüsse und

35 Figur 5 einen vergrößerten Ausschnitt der Figur 4 mit Außenanschlüssen, Leiterzügen und Innenanschlüssen.



Figur 1 zeigt einen Schnitt durch einen Teil eines Polymer Stud Grid Arrays mit einem in Drahtbond-Technik kontaktierten Chip C1. Basis des dargestellten Arrays ist ein Substrat S, das mit "Polymer Studs" bzw. Polymerhöckern PS und einer Mulde M1 versehen ist, wobei die Mulde M1 eine mit ST be-  
5 zeichnete Stufe aufweist. Die Herstellung des Substrats S einschließlich Polymerhöckern PS, Mulde M1 und Stufe ST, erfolgt durch Spritzgießen, wobei als Substratmaterialien hochtemperaturbeständige Thermoplaste, wie Polyetherimid, Polyethersulfon oder Liquid Cristalline Polymers geeignet sind.  
10

Das in Figur 1 dargestellte Substrat S wird entsprechend der MID Technologie ganzflächig metallisiert und dann einem Laserstrukturierungsverfahren unterzogen, wobei als Ergebnis  
15 dieser Laserstrukturierung Außenanschlüsse AA auf den Polymerhöckern PS, Innenanschlüsse IA1 auf der Stufe ST und sich dazwischen erstreckende Leiterzüge LZ verbleiben. Die Außenanschlüsse AA sind im Kuppenbereich mit einer Lotschicht LS versehen, wobei diese Lotschicht LS beispielsweise durch eine  
20 Zinn-Blei-Legierung gebildet ist. Anstelle der Lotschicht LS, kann auch beispielsweise eine aus einer Schichtenfolge von Nickel und Gold bestehende lötbare Endoberfläche vorgesehen sein. Die auf der Stufe ST angeordneten Innenanschlüsse IA1 sind über Kontaktierdrähte KD mit den Anschlüssen CA1 des am  
25 Boden der Mulde M1 in Face up-Lage befestigten Chips C1 verbunden.

Das in Figur 1 dargestellte Polymer Stud Grid Array wird mit den auf den Polymerhöckern PS gebildeten Außenanschlüssen AA  
30 nach unten auf einer nicht dargestellten Leiterplatte oder Baugruppe kontaktiert. Entgegen der in Figur 1 dargestellten Lage, handelt es sich also bei der Seite mit den Polymerhöckern PS um die Unterseite des Substrats S.

35 Figur 2 zeigt einen Schnitt durch einen Teil eines Polymer Stud Grid Arrays mit einem gemäß einer ersten Ausführungsform in Flipchip-Technik kontaktierten Chip C2. Im Unterschied zu

## 6

Figur 1 liegen hier die mit IA2 bezeichneten Innenanschlüsse am Boden einer mit M2 bezeichneten Mulde. Der in Face down-Lage in der Mulde M2 angeordnete Chip C2 besitzt Chipanschlüsse CA2 in Form schmelzfähiger Höcker, die auf den zugeordneten Innenanschlüssen IA2 aufliegen und mit diesen beim Löten verbunden werden.

Figur 3 zeigt einen Schnitt durch einen Teil eines Polymer Stud Grid Arrays mit einem gemäß einer zweiten Ausführungsform in Flipchip-Technik kontaktierten Chip C3. Im Unterschied zu den Figuren 1 und 2 sind die hier mit IA3 bezeichneten Innenanschlüsse durch zusätzlich beim Spritzgießen des Substrats S im Bodenbereich der Mulde M3 mitgeformte und mit einer lötbaren Endoberfläche versehene Polymerhöcker PH gebildet. Die Polymerhöcker PH für die Innenanschlüsse IA3 weisen etwa ein Drittel des Volumens der Polymerhöcker PS für die Außenanschlüsse AA auf. Der in Face down-Lage in der Mulde M3 angeordnete Chip C3, liegt mit seinen Chipanschlüssen CA3 auf den zugeordneten Innenanschlüssen IA3 der Polymerhöcker PH auf und wird mit diesen durch Löt verbunden. Das hier nicht dargestellte Lot kann beispielsweise in Form einer im Kuppenbereich auf die Innenanschlüsse IA3 aufgetragenen Lotschicht bereitgestellt werden, in gleicher Weise, wie bei den Außenanschlüssen AA.

Die Figuren 4 und 5 zeigen Einzelheiten des in Figur 1 dargestellten Polymer Stud Grid Arrays, wobei das Substrat S hier jedoch vor der Befestigung des Chips C1 in der Mulde M1 dargestellt wurde. Es ist zu erkennen, daß die auf den Polymerhöckern PS gebildeten Außenanschlüsse AA reihenweise in einem feinen Raster angeordnet werden können. Die bei der MID Technologie übliche Laserfeinstrukturierung ermöglicht auch eine eng nebeneinanderliegende Anordnung der Leiterzüge LZ und der auf der Stufe ST liegenden Innenanschlüsse IA1.

Die vorstehend anhand der Figuren 1 bis 5 erläuterten Ausführungsbeispiele zeigen das Prinzip eines Polymer Stud Grid

Arrays mit auf Polymerhöckern gebildeten Außenanschlüssen. Abweichend von der in der Zeichnung dargestellten Form können die Polymerhöcker auch andere Formen, wie z.B. eine Kegels stumpfform aufweisen. Obwohl jeweils nur ein Chip dargestellt wurde, kann die neue Bauform bei Single-, Few- oder Multi-Chip-Modulen angewandt werden. Die Chips können auch beispielsweise durch Ausgießen der Mulden oder durch die Anbringung von Deckeln verkapselt werden. Auf der Oberseite und den seitlichen Flächen des spritzgegossenen Substrats kann auch eine Metallisierungsschicht als elektromagnetische Abschirmung oder für eine gute Wärmeabfuhr verbleiben. Es ist jedoch auch möglich, das Substrat mit Durchkontaktierungen zu versehen, und auf der Oberseite eine zweite Verdrahtungslage anzuordnen. Auf dieser zweiten Verdrahtungslage können nach dem Aufbringen entsprechender Dielektrikumsschichten auch weitere Leiterebenen nach Art einer Mehrlagenverdrahtung gebildet werden. Bei einem mit Durchkontaktierungen versehenen Substrat, können die Polymerhöcker und der Chip oder die Chips durchaus auch auf verschiedenen Seiten des Substrats angeordnet sein. Eine derartige Anordnung von Polymerhöckern und Chips auf gegenüberliegenden Seiten des Substrats ist insbesondere bei großen Chips, die eine Vielzahl von zugeordneten Außenanschlüssen benötigen, interessant.

## Patentansprüche

## 1. Polymer Stud Grid Array

mit

- 5 - einem spritzgegossenen, dreidimensionalen Substrat (S) aus einem elektrisch isolierenden Polymer,
- auf der Unterseite des Substrats (S) flächig angeordneten und beim Spritzgießen mitgeformten Polymerhöckern (PS),
- 10 - auf den Polymerhöckern (PS) durch eine lötbare Endoberfläche gebildeten Außenanschlüssen (AA),
- zumindest auf der Unterseite des Substrats (S) ausgebildeten Leiterzügen (LZ), welche die Außenanschlüsse (AA) mit Innenanschlüssen (IA1;IA2;IA3) verbinden, und mit
- 15 - mindestens einem auf dem Substrat (S) angeordneten Chip (C1;C2;C3), dessen Anschlüsse (CA1;CA2;CA3) mit den Innenanschlüssen (IA1;IA2;IA3) elektrisch leitend verbunden sind.

## 2. Polymer Stud Grid Array nach Anspruch 1,

- 20 dadurch gekennzeichnet,
- daß der Chip (C1;C2;C3) in einer Mulde (M1;M2;M3) des Substrats (S) angeordnet ist.

## 3. Polymer Stud Grid Array nach Anspruch 2,

- 25 dadurch gekennzeichnet,
- daß der Chip (C1) in Face up-Lage in der Mulde (M1) angeordnet ist, und daß die Anschlüsse (CA1) des Chips (C1) über Kontaktierdrähte (KD) mit den zugeordneten Innenanschlüssen (IA1) elektrisch leitend verbunden sind.

30

## 4. Polymer Stud Grid Array nach Anspruch 3,

- dadurch gekennzeichnet,
- daß die Innenanschlüsse (IA1) auf einer Stufe (ST) der Mulde (M1) angeordnet sind.

35

## 5. Polymer Stud Grid Array nach Anspruch 2,

- dadurch gekennzeichnet,

9

daß der Chip (C2;C3) in Face down-Lage in der Mulde (M2;M3) angeordnet ist, und daß die Anschlüsse (CA2;CA3) des Chips (C2;C3) mittels Flipchip-Kontaktierung mit den am Boden der Mulde (M2;M3) angeordneten Innenanschlüssen (IA2;IA3) elektrisch leitend verbunden sind.

6. Polymer Stud Grid Array nach Anspruch 5, dadurch gekennzeichnet, daß die Anschlüsse (CA2) des Chips (C2) als schmelzfähige Höcker ausgebildet sind.

7. Polymer Stud Grid Array nach Anspruch 5, dadurch gekennzeichnet, daß die Innenanschlüsse (IA3) durch zusätzliche beim Spritzgießen des Substrats (S) mitgeformte und mit einer lötbaren Endoberfläche versehene Polymerhöcker (PH) gebildet sind.

1 / 3

FIG 1

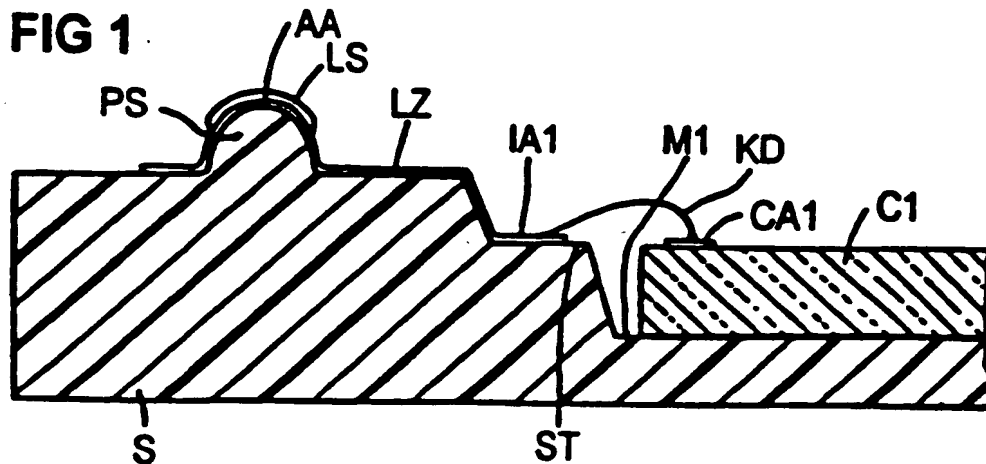


FIG 2

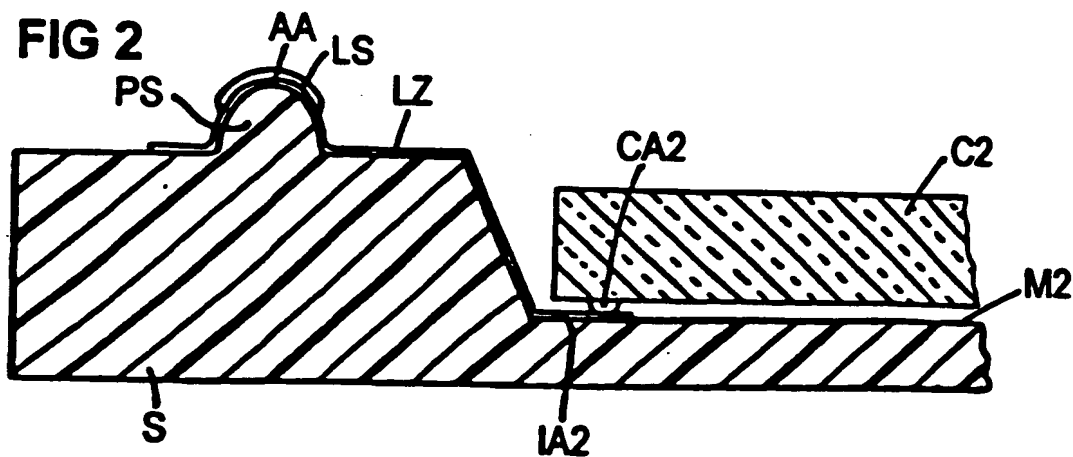
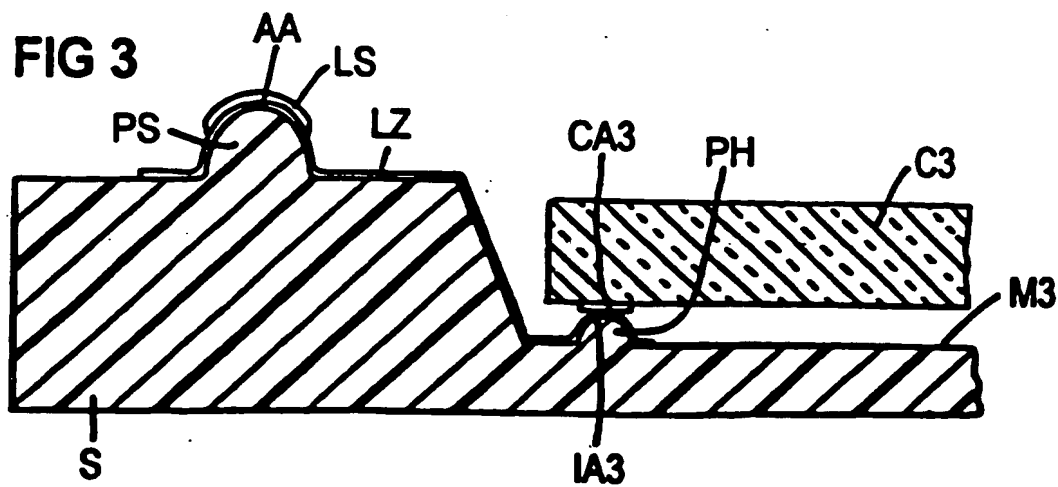
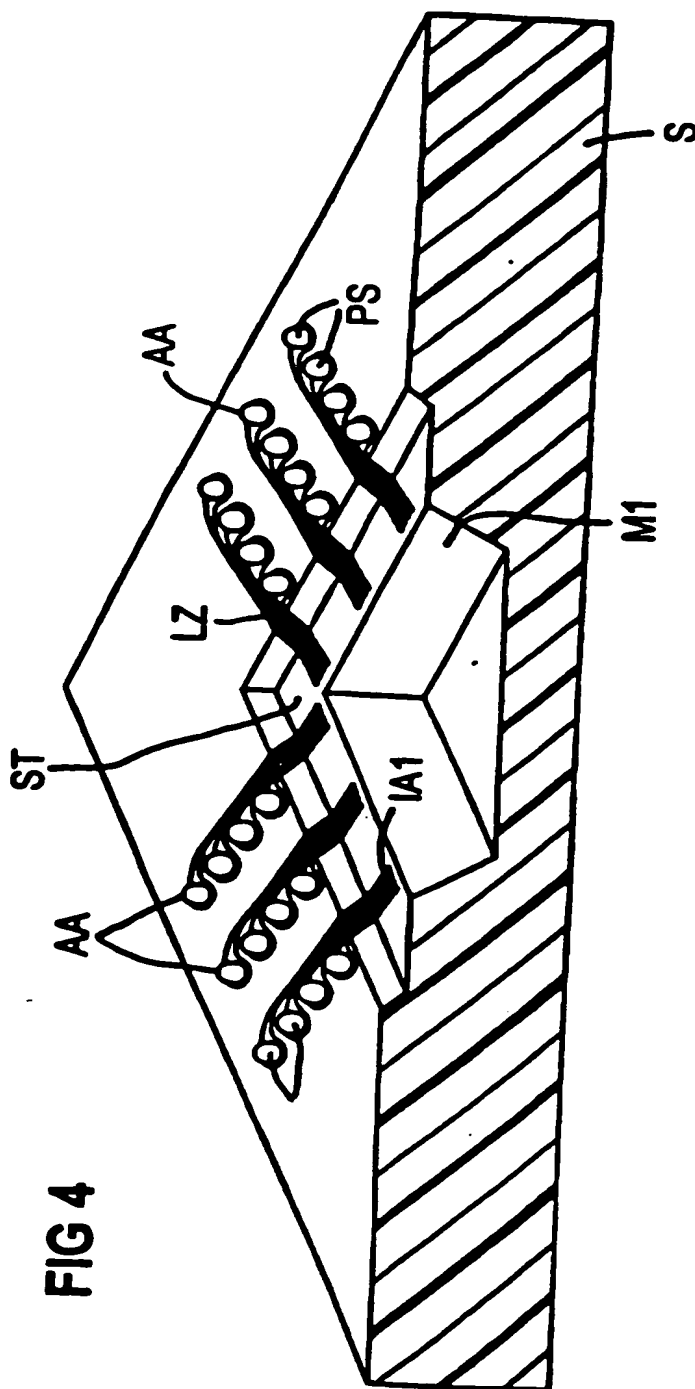


FIG 3





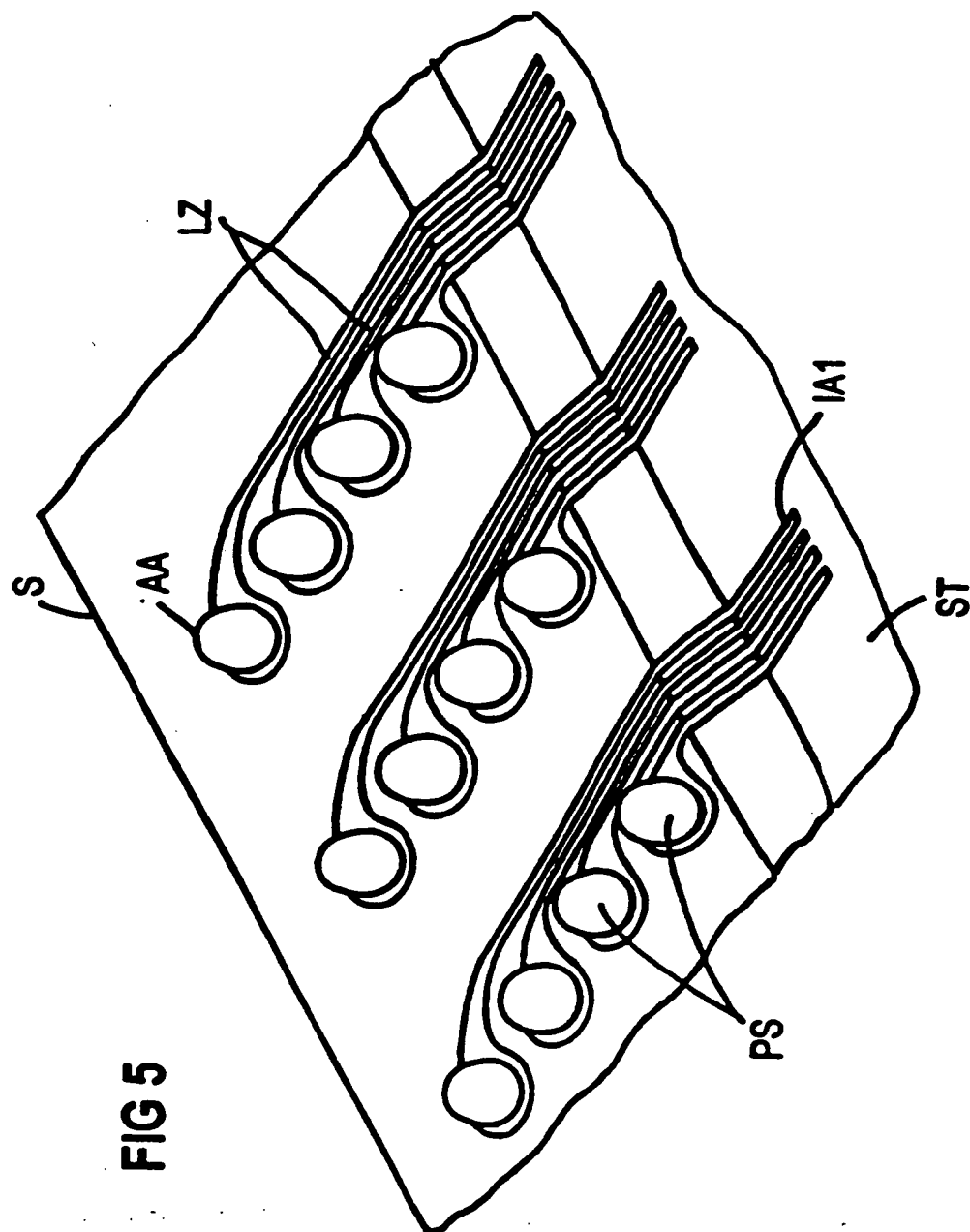


FIG 5



## INTERNATIONAL SEARCH REPORT

 Application No  
 PCT/EP 95/03763

 A. CLASSIFICATION OF SUBJECT MATTER  
 IPC 6 H01L23/13 H01L23/498

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

 Minimum documentation searched (classification system followed by classification symbols)  
 IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US,A,3 271 507 (ALLOYS) 6 September 1966 see claim 1; figures 5,6	1-3
A	---	4
Y	WO,A,89 10005 (BOLGER) 19 October 1989 see claims 1,5; figure 5B	1-3
A	---	1,3
A	US,A,3 483 308 (TEXAS) 9 December 1969 see claim 1; figure 4	5-7
A	---	5-7
A	EP,A,0 558 325 (HUGHES AIRCRAFT) 1 September 1993 see claim 1; figure 10	
A	---	
A	US,A,5 081 520 (MINOLTA) 14 January 1992 see claim 1; figure 16	
	-----	

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

## \* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "A" document member of the same patent family

Date of the actual completion of the international search

8 January 1996

Date of mailing of the international search report

15. 01. 96

Name and mailing address of the ISA

 European Patent Office, P.B. 5818 Patentlaan 2  
 NL - 2280 HV Rijswijk  
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
 Fax (+31-70) 340-3016

Authorized officer

De Raeve, R

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 95/03763

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US-A-3271507	06-09-66	NONE	
WO-A-8910005	19-10-89	US-A- 5072283 EP-A- 0411015 JP-T- 3503699	10-12-91 06-02-91 15-08-91
US-A-3483308	09-12-69	DE-A- 1952569 FR-A- 2021493 GB-A- 1263126 NL-A- 6915455	06-05-70 24-07-70 09-02-72 28-04-70
EP-A-0558325	01-09-93	US-A- 5245750 JP-A- 6045403	21-09-93 18-02-94
US-A-5081520	14-01-92	JP-A- 4010447 JP-A- 2302050	14-01-92 14-12-90

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 6 H01L23/13 H01L23/498

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US,A,3 271 507 (ALLOYS) 6. September 1966 siehe Anspruch 1; Abbildungen 5,6	1-3
A	---	4
Y	WO,A,89 10005 (BOLGER) 19. Oktober 1989 siehe Ansprüche 1,5; Abbildung 5B	1-3
A	---	1,3
A	US,A,3 483 308 (TEXAS) 9. Dezember 1969 siehe Anspruch 1; Abbildung 4	5-7
A	---	5-7
A	EP,A,0 558 325 (HUGHES AIRCRAFT) 1. September 1993 siehe Anspruch 1; Abbildung 10	5-7
A	---	5-7
A	US,A,5 081 520 (MINOLTA) 14. Januar 1992 siehe Anspruch 1; Abbildung 16	5-7
	-----	

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"A" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

8. Januar 1996

Absendedatum des internationalen Recherchenberichts

15. 01. 96

Name und Postanschrift der Internationale Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+ 31-70) 340-3016

Bevollmächtigter Bediensteter

De Raeve, R

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Intern: des Aktenzeichens

PCT/EP 95/03763

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US-A-3271507	06-09-66	KEINE	
WO-A-8910005	19-10-89	US-A- 5072283	10-12-91
		EP-A- 0411015	06-02-91
		JP-T- 3503699	15-08-91
US-A-3483308	09-12-69	DE-A- 1952569	06-05-70
		FR-A- 2021493	24-07-70
		GB-A- 1263126	09-02-72
		NL-A- 6915455	28-04-70
EP-A-0558325	01-09-93	US-A- 5245750	21-09-93
		JP-A- 6045403	18-02-94
US-A-5081520	14-01-92	JP-A- 4010447	14-01-92
		JP-A- 2302050	14-12-90